

日本国特許庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて

いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 5月 9日

出願番号
Application Number:

特願2001-138712

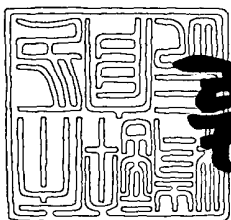
出願人
Applicant(s):

三菱電機株式会社

2001年 5月30日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3047564



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Kenji YAMAGUCHI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE EVALUATION METHOD AND APPARATUS, SEMICONDUCTOR DEVICE
MANUFACTURING CONTROL METHOD, SEMICONDUCTOR DEVICE MANUFACTURING METHOD,
AND RECORDING MEDIUM

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231



#2 Priority
paper
11-28-01
Rathee

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2001-138712

May 9, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
 - ☐ are submitted herewith
 - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland

Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)

【書類名】 特許願

【整理番号】 529789JP01

【提出日】 平成13年 5月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 山口 健司

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 網城 啓之

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 五十嵐 元繁

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置評価方法、半導体装置評価装置、半導体装置製造管理方法、半導体装置製造方法および記録媒体

【特許請求の範囲】

【請求項 1】 (a) チャンネル長の異なる複数の絶縁ゲート型トランジスタの、実効チャンネル長 L_{eff} 、および、ゲートと基板との間の容量であるゲート容量 C_g 、および、前記ゲートと前記ゲートが覆わない部分の基板との間の容量であるフリンジ容量 C_f を、電氣的測定および／または計算により求めるステップと、

(b) 前記ステップ (a) で求めた前記ゲート容量 C_g および前記実効チャンネル長 L_{eff} をグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－実効チャンネル長特性を求めるステップと、

(c) 前記ゲート容量－実効チャンネル長特性の傾き A を計算し、前記複数の絶縁ゲート型トランジスタそれぞれのゲート仕上がり長 L_g を $L_g = (C_g - C_f) / A$ として求めるステップと

を備える半導体装置評価方法。

【請求項 2】 請求項 1 に記載の半導体装置評価方法であって、

前記ステップ (a) において、前記実効チャンネル長 L_{eff} を電氣的測定および／または計算により求める代わりに、設計ゲート長 L_d を用意し、

前記ステップ (b) において、前記ゲート容量－実効チャンネル長特性を求める代わりに、前記ステップ (a) で求めた前記ゲート容量 C_g および前記設計ゲート長 L_d をグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－設計ゲート長特性を求め、

前記ステップ (c) において、前記ゲート容量－実効チャンネル長特性の傾きを計算する代わりに、前記ゲート容量－設計ゲート長特性の傾きを計算して、これを前記傾き A とする

半導体装置評価方法。

【請求項 3】 請求項 1 または請求項 2 に記載の半導体装置評価方法であって、

前記ステップ（b）において、前記特性の前記外挿を線形近似により行う半導体装置評価方法。

【請求項4】 請求項1に記載の半導体装置評価方法であって、

（d）前記ゲート容量－実効チャネル長特性の切片Bを求めるステップと、

（e）前記複数の絶縁ゲート型トランジスタの、前記ゲートと前記ゲートが覆う部分のソース／ドレイン領域との間の容量であるゲートオーバーラップ容量 C_{GDO} を、前記ゲートのゲート幅 W を用いて、 $C_{GDO} = B / (2 \cdot W) - C_f$ として求めるステップと

をさらに備える半導体装置評価方法。

【請求項5】 請求項1または請求項2に記載の半導体装置評価方法であって、

（f）前記複数の絶縁ゲート型トランジスタの実効ゲート絶縁膜厚 $T_{ox\,eff}$ を、前記傾き A および前記ゲートのゲート幅 W およびゲート絶縁膜の誘電率 ϵ_{ox} を用いて、 $T_{ox\,eff} = W \cdot \epsilon_{ox} / A$ として求めるステップ

をさらに備える半導体装置評価方法。

【請求項6】 請求項1ないし請求項5のいずれかに記載の半導体装置評価方法を単独で、若しくは予めコンピュータに備えられたプログラムと相俟って、前記コンピュータに実行させるプログラムが記録された、コンピュータ読み取り可能な記録媒体。

【請求項7】 チャネル長の異なる複数の絶縁ゲート型トランジスタの、実効チャネル長 L_{eff} 、および、ゲートと基板との間の容量であるゲート容量 C_g を用いてグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－実効チャネル長特性を求め、前記特性の傾き A を計算する計算部と、

前記ゲートと前記ゲートが覆わない部分の基板との間の容量であるフリンジ容量 C_f 、および、前記傾き A 、および、前記ゲート容量 C_g を用いて、前記複数の絶縁ゲート型トランジスタそれぞれのゲート仕上がり長 L_g を $L_g = (C_g - C_f) / A$ として求める第1抽出部と、

前記計算部および第1抽出部を制御する制御部とを備える半導体装置評価装置。

【請求項 8】 請求項 7 に記載の半導体装置評価装置であって、
 前記計算部において、
 前記実効チャンネル長 L_{eff} の代わりに、設計ゲート長 L_d を用い、
 前記ゲート容量－実効チャンネル長特性を求める代わりに、前記ゲート容量 C_g
 および前記設計ゲート長 L_d をグラフ上にプロットし、前記グラフ上で外挿する
 ことによりゲート容量－設計ゲート長特性を求め、
 前記ゲート容量－実効チャンネル長特性の傾きを計算する代わりに、前記ゲート
 容量－設計ゲート長特性の傾きを計算して、これを前記傾き A とする
 半導体装置評価装置。

【請求項 9】 請求項 7 または請求項 8 に記載の半導体装置評価装置であっ
 て、
 前記計算部は、前記特性の前記外挿を線形近似により行う
 半導体装置評価装置。

【請求項 10】 請求項 7 に記載の半導体装置評価装置であって、
 前記計算部は、前記ゲート容量－実効チャンネル長特性の切片 B をさらに求め、
 前記複数の絶縁ゲート型トランジスタの、前記ゲートと前記ゲートが覆う部分
 のソース／ドレイン領域との間の容量であるゲートオーバーラップ容量 $CGDO$
 を、前記ゲートのゲート幅 W を用いて、 $CGDO = B / (2 \cdot W) - C_f$ として
 求める第 2 抽出部
 をさらに備え、

前記第 2 抽出部も前記制御部により制御される
 半導体装置評価装置。

【請求項 11】 請求項 7 または請求項 8 に記載の半導体装置評価装置であ
 って、
 前記複数の絶縁ゲート型トランジスタの実効ゲート絶縁膜厚 T_{oxeff} を、
 前記傾き A および前記ゲートのゲート幅 W およびゲート絶縁膜の誘電率 ϵ_{ox} を
 用いて、 $T_{oxeff} = W \cdot \epsilon_{ox} / A$ として求める第 3 抽出部
 をさらに備え、

前記第 3 抽出部も前記制御部により制御される

半導体装置評価装置。

【請求項 1 2】 (a) ゲート長の異なる複数の絶縁ゲート型トランジスタを、ゲートを抵抗として用いる線幅 L_g の異なる複数の抵抗素子として捉え、前記複数の抵抗素子の一部（ただし複数）について前記線幅 L_g を測定するステップと、

(b) 前記複数の前記抵抗素子全てのゲートの抵抗 R_g および実効チャンネル長 L_{eff} を、電氣的測定および／または計算により求めるステップと、

(c) 前記ステップ (a) および (b) で求めた前記線幅 L_g および前記実効チャンネル長 L_{eff} をグラフ上にプロットし、前記グラフ上で外挿することにより線幅－実効チャンネル長特性を求めるステップと、

(d) 前記線幅－実効チャンネル長特性を用いて、前記複数の抵抗素子の全てについて、前記線幅 L_g と前記抵抗 R_g との間の特性を求めるステップとを備える半導体装置評価方法。

【請求項 1 3】 (g) 請求項 1 または請求項 2 に記載の半導体装置評価方法で得られたゲート仕上がり長 L_g を用意するステップと、

(h) 前記複数の絶縁ゲート型トランジスタのゲートの抵抗 R_g を、電氣的測定および／または計算により求めるステップと、

(i) 前記ゲート仕上がり長 L_g と前記抵抗 R_g との間の特性を求めるステップとを備える半導体装置評価方法。

【請求項 1 4】 請求項 1 2 または請求項 1 3 に記載の半導体装置評価方法を単独で、若しくは予めコンピュータに備えられたプログラムと相俟って、前記コンピュータに実行させるプログラムが記録された、コンピュータ読み取り可能な記録媒体。

【請求項 1 5】 チャンネル長の異なる複数の絶縁ゲート型トランジスタを、ゲートを抵抗として用いる線幅 L_g の異なる複数の抵抗素子として捉え、前記複数の抵抗素子の一部（ただし複数）についての、実効チャンネル長 L_{eff} および前記線幅 L_g を用いてグラフ上にプロットし、前記グラフ上で外挿することにより線幅－実効チャンネル長特性を求める計算部と、

前記線幅－実効チャネル長特性を用いて、前記複数の抵抗素子の全てについて、前記線幅 L_g と前記ゲートの抵抗 R_g との間の特性を求める抽出部と、

前記計算部および抽出部を制御する制御部と
を備える半導体装置評価装置。

【請求項 1 6】 請求項 1 または請求項 2 に記載の半導体装置評価方法で得られたゲート仕上がり長 L_g と前記複数の絶縁ゲート型トランジスタのゲートの抵抗 R_g との間の特性を求める抽出部と、

前記抽出部を制御する制御部と
を備える半導体装置評価装置。

【請求項 1 7】 請求項 1 ないし請求項 5 のいずれか、または請求項 1 2 もしくは請求項 1 3 に記載の半導体装置評価方法により求めた、前記複数の絶縁ゲート型トランジスタの、前記ゲート仕上がり長 L_g 、前記ゲートオーバーラップ容量 C_{GDO} 、前記実効ゲート絶縁膜厚 T_{oxeff} および抵抗 R_g のうち少なくともひとつのパラメータを用いて、要求される規格に前記パラメータが合致しているかどうかを判定する判定ステップを備え、

前記判定ステップでの判定結果を半導体装置の製造条件の見直しに利用する半導体装置製造管理方法。

【請求項 1 8】 請求項 1 ないし請求項 5 のいずれか、または請求項 1 2 もしくは請求項 1 3 に記載の半導体装置評価方法により求めた、前記複数の絶縁ゲート型トランジスタの、前記ゲート仕上がり長 L_g 、前記ゲートオーバーラップ容量 C_{GDO} 、前記実効ゲート絶縁膜厚 T_{oxeff} および抵抗 R_g のうち少なくともひとつのパラメータを用いて、要求される規格に前記パラメータが合致しているかどうかを判定する判定ステップを備え、

前記判定ステップでの判定結果を不良品の排除に利用する半導体装置製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、M O S F E T (Metal Oxide Semiconductor Field Effect Trans

istor) 等の絶縁ゲート型トランジスタのゲート長を評価する半導体装置評価方法および半導体装置評価装置に関し、また、その評価を半導体装置の製造管理および製造に応用した半導体装置製造管理方法および半導体装置製造方法に関する。

【 0 0 0 2 】

【従来の技術】

絶縁ゲート型トランジスタの先端デバイス開発においては、そのデバイスのゲート長を精度よく評価することが重要な課題となっている。

【 0 0 0 3 】

ゲート長は年々、微細化が進んでおり、そのため、加工後の仕上がり寸法に、ばらつきが生じやすくなっている。ゲート長のばらつきは回路特性のばらつきの主要因となることから、ゲート仕上がり長を精度よく測定して、ゲート長がデバイスの回路特性とどのような相関を有するのか分析する必要がある。

【 0 0 0 4 】

さて、ゲート仕上がり長の測定には従来、走査型電子顕微鏡（以下、SEM（Scanning Electron Microscope）と称する）が用いられていた。そして、測定者は、表示画面上の絶縁ゲート型トランジスタのゲート仕上がり長を、同じ表示画面上に表示されたスケールと照らし合わせることで測定していた。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、SEMによるゲート仕上がり長の測定には以下のような問題点があった。

（１）素子ごとにゲート仕上がり長と表示画面上のスケールとを目視により参照する必要があり、多数のポイントの測定を行うには、多大な時間と労苦とを測定者に要求する。

（２）目視によりゲート仕上がり長を測定するために、測定者によって測定値が変動する。

（３）ゲートのパターンが半導体装置の表面に現れていないと、測定が行えない。

【 0 0 0 6 】

そこで、この発明の課題は、多数のポイントの測定を行う場合であっても多大な時間と労苦とを要せず、かつ、測定者による測定値の変動が防止でき、かつ、ゲートパターンが半導体装置の表面に現れていない場合でもゲート仕上がり長の測定を行うことが可能な半導体装置評価方法および半導体装置評価装置を提供することにある。また、その評価を半導体装置の製造管理および製造に応用した半導体装置製造管理方法および半導体装置製造方法をも提供する。

【 0 0 0 7 】

【課題を解決するための手段】

請求項 1 に記載の発明は、(a) チャネル長の異なる複数の絶縁ゲート型トランジスタの、実効チャネル長 L_{eff} 、および、ゲートと基板との間の容量であるゲート容量 C_g 、および、前記ゲートと前記ゲートが覆わない部分の基板との間の容量であるフリンジ容量 C_f を、電氣的測定および／または計算により求めるステップと、(b) 前記ステップ (a) で求めた前記ゲート容量 C_g および前記実効チャネル長 L_{eff} をグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－実効チャネル長特性を求めるステップと、(c) 前記ゲート容量－実効チャネル長特性の傾き A を計算し、前記複数の絶縁ゲート型トランジスタそれぞれのゲート仕上がり長 L_g を $L_g = (C_g - C_f) / A$ として求めるステップとを備える半導体装置評価方法である。

【 0 0 0 8 】

請求項 2 に記載の発明は、請求項 1 に記載の半導体装置評価方法であって、前記ステップ (a) において、前記実効チャネル長 L_{eff} を電氣的測定および／または計算により求める代わりに、設計ゲート長 L_d を用意し、前記ステップ (b) において、前記ゲート容量－実効チャネル長特性を求める代わりに、前記ステップ (a) で求めた前記ゲート容量 C_g および前記設計ゲート長 L_d をグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－設計ゲート長特性を求め、前記ステップ (c) において、前記ゲート容量－実効チャネル長特性の傾きを計算する代わりに、前記ゲート容量－設計ゲート長特性の傾きを計算して、これを前記傾き A とする半導体装置評価方法である。

【 0 0 0 9 】

請求項 3 に記載の発明は、請求項 1 または請求項 2 に記載の半導体装置評価方法であって、前記ステップ (b) において、前記特性の前記外挿を線形近似により行う半導体装置評価方法である。

【 0 0 1 0 】

請求項 4 に記載の発明は、請求項 1 に記載の半導体装置評価方法であって、(d) 前記ゲート容量－実効チャネル長特性の切片 B を求めるステップと、(e) 前記複数の絶縁ゲート型トランジスタの、前記ゲートと前記ゲートが覆う部分のソース／ドレイン領域との間の容量であるゲートオーバーラップ容量 C_{GDO} を、前記ゲートのゲート幅 W を用いて、 $C_{GDO} = B / (2 \cdot W) - C_f$ として求めるステップとをさらに備える半導体装置評価方法である。

【 0 0 1 1 】

請求項 5 に記載の発明は、請求項 1 または請求項 2 に記載の半導体装置評価方法であって、(f) 前記複数の絶縁ゲート型トランジスタの実効ゲート絶縁膜厚 $T_{ox\,eff}$ を、前記傾き A および前記ゲートのゲート幅 W およびゲート絶縁膜の誘電率 ϵ_{ox} を用いて、 $T_{ox\,eff} = W \cdot \epsilon_{ox} / A$ として求めるステップをさらに備える半導体装置評価方法である。

【 0 0 1 2 】

請求項 6 に記載の発明は、請求項 1 ないし請求項 5 のいずれかに記載の半導体装置評価方法を単独で、若しくは予めコンピュータに備えられたプログラムと相俟って、前記コンピュータに実行させるプログラムが記録された、コンピュータ読み取り可能な記録媒体である。

【 0 0 1 3 】

請求項 7 に記載の発明は、チャネル長の異なる複数の絶縁ゲート型トランジスタの、実効チャネル長 L_{eff} 、および、ゲートと基板との間の容量であるゲート容量 C_g を用いてグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－実効チャネル長特性を求め、前記特性の傾き A を計算する計算部と、前記ゲートと前記ゲートが覆わない部分の基板との間の容量であるフリンジ容量 C_f 、および、前記傾き A 、および、前記ゲート容量 C_g を用いて、前記複数

の絶縁ゲート型トランジスタそれぞれのゲート仕上がり長 L_g を $L_g = (C_g - C_f) / A$ として求める第1抽出部と、前記計算部および第1抽出部を制御する制御部とを備える半導体装置評価装置である。

【 0 0 1 4 】

請求項8に記載の発明は、請求項7に記載の半導体装置評価装置であって、前記計算部において、前記実効チャンネル長 L_{eff} の代わりに、設計ゲート長 L_d を用い、前記ゲート容量－実効チャンネル長特性を求める代わりに、前記ゲート容量 C_g および前記設計ゲート長 L_d をグラフ上にプロットし、前記グラフ上で外挿することによりゲート容量－設計ゲート長特性を求め、前記ゲート容量－実効チャンネル長特性の傾きを計算する代わりに、前記ゲート容量－設計ゲート長特性の傾きを計算して、これを前記傾き A とする半導体装置評価装置である。

【 0 0 1 5 】

請求項9に記載の発明は、請求項7または請求項8に記載の半導体装置評価装置であって、前記計算部は、前記特性の前記外挿を線形近似により行う半導体装置評価装置である。

【 0 0 1 6 】

請求項10に記載の発明は、請求項7に記載の半導体装置評価装置であって、前記計算部は、前記ゲート容量－実効チャンネル長特性の切片 B をさらに求め、前記複数の絶縁ゲート型トランジスタの、前記ゲートと前記ゲートが覆う部分のソース／ドレイン領域との間の容量であるゲートオーバーラップ容量 C_{GDO} を、前記ゲートのゲート幅 W を用いて、 $C_{GDO} = B / (2 \cdot W) - C_f$ として求める第2抽出部をさらに備え、前記第2抽出部も前記制御部により制御される半導体装置評価装置である。

【 0 0 1 7 】

請求項11に記載の発明は、請求項7または請求項8に記載の半導体装置評価装置であって、前記複数の絶縁ゲート型トランジスタの実効ゲート絶縁膜厚 $T_{ox_{eff}}$ を、前記傾き A および前記ゲートのゲート幅 W およびゲート絶縁膜の誘電率 ϵ_{ox} を用いて、 $T_{ox_{eff}} = W \cdot \epsilon_{ox} / A$ として求める第3抽出部をさらに備え、前記第3抽出部も前記制御部により制御される半導体装置評価装置

である。

【 0 0 1 8 】

請求項 1 2 に記載の発明は、（a）ゲート長の異なる複数の絶縁ゲート型トランジスタを、ゲートを抵抗として用いる線幅 L_g の異なる複数の抵抗素子として捉え、前記複数の抵抗素子の一部（ただし複数）について前記線幅 L_g を測定するステップと、（b）前記複数の前記抵抗素子全てのゲートの抵抗 R_g および実効チャンネル長 L_{eff} を、電氣的測定および／または計算により求めるステップと、（c）前記ステップ（a）および（b）で求めた前記線幅 L_g および前記実効チャンネル長 L_{eff} をグラフ上にプロットし、前記グラフ上で外挿することにより線幅－実効チャンネル長特性を求めるステップと、（d）前記線幅－実効チャンネル長特性を用いて、前記複数の抵抗素子の全てについて、前記線幅 L_g と前記抵抗 R_g との間の特性を求めるステップとを備える半導体装置評価方法である。

【 0 0 1 9 】

請求項 1 3 に記載の発明は、（g）請求項 1 または請求項 2 に記載の半導体装置評価方法で得られたゲート仕上がり長 L_g を用意するステップと、（h）前記複数の絶縁ゲート型トランジスタのゲートの抵抗 R_g を、電氣的測定および／または計算により求めるステップと、（i）前記ゲート仕上がり長 L_g と前記抵抗 R_g との間の特性を求めるステップとを備える半導体装置評価方法である。

【 0 0 2 0 】

請求項 1 4 に記載の発明は、請求項 1 2 または請求項 1 3 に記載の半導体装置評価方法を単独で、若しくは予めコンピュータに備えられたプログラムと相俟って、前記コンピュータに実行させるプログラムが記録された、コンピュータ読み取り可能な記録媒体である。

【 0 0 2 1 】

請求項 1 5 に記載の発明は、チャンネル長の異なる複数の絶縁ゲート型トランジスタを、ゲートを抵抗として用いる線幅 L_g の異なる複数の抵抗素子として捉え、前記複数の抵抗素子の一部（ただし複数）についての、実効チャンネル長 L_{eff} および前記線幅 L_g を用いてグラフ上にプロットし、前記グラフ上で外挿することにより線幅－実効チャンネル長特性を求める計算部と、前記線幅－実効チャネ

ル長特性を用いて、前記複数の抵抗素子の全てについて、前記線幅 L_g と前記ゲートの抵抗 R_g との間の特性を求める抽出部と、前記計算部および抽出部を制御する制御部とを備える半導体装置評価装置である。

【 0 0 2 2 】

請求項 1 6 に記載の発明は、請求項 1 または請求項 2 に記載の半導体装置評価方法で得られたゲート仕上がり長 L_g と前記複数の絶縁ゲート型トランジスタのゲートの抵抗 R_g との間の特性を求める抽出部と、前記抽出部を制御する制御部とを備える半導体装置評価装置である。

【 0 0 2 3 】

請求項 1 7 に記載の発明は、請求項 1 ないし請求項 5 のいずれか、または請求項 1 2 もしくは請求項 1 3 に記載の半導体装置評価方法により求めた、前記複数の絶縁ゲート型トランジスタの、前記ゲート仕上がり長 L_g 、前記ゲートオーバーラップ容量 C_{GDO} 、前記実効ゲート絶縁膜厚 T_{oxeff} および抵抗 R_g のうち少なくともひとつのパラメータを用いて、要求される規格に前記パラメータが合致しているかどうかを判定する判定ステップを備え、前記判定ステップでの判定結果を半導体装置の製造条件の見直しに利用する半導体装置製造管理方法である。

【 0 0 2 4 】

請求項 1 8 に記載の発明は、請求項 1 ないし請求項 5 のいずれか、または請求項 1 2 もしくは請求項 1 3 に記載の半導体装置評価方法により求めた、前記複数の絶縁ゲート型トランジスタの、前記ゲート仕上がり長 L_g 、前記ゲートオーバーラップ容量 C_{GDO} 、前記実効ゲート絶縁膜厚 T_{oxeff} および抵抗 R_g のうち少なくともひとつのパラメータを用いて、要求される規格に前記パラメータが合致しているかどうかを判定する判定ステップを備え、前記判定ステップでの判定結果を不良品の排除に利用する半導体装置製造方法である。

【 0 0 2 5 】

【発明の実施の形態】

<実施の形態 1>

本実施の形態は、チャネル長の異なる複数の絶縁ゲート型トランジスタの、実

効チャンネル長 L_{eff} 、ゲート容量 C_g 、フリンジ容量 C_f を求め、それらのパラメータを利用して複数の絶縁ゲート型トランジスタそれぞれのゲート仕上がり長 L_g を計算により算出するものである。これにより、多数のポイントの測定を行う場合であっても多大な時間と労苦とを要せず、かつ、測定者による測定値の変動が防止でき、かつ、ゲートパターンが半導体装置の表面に現れていない場合でもゲート仕上がり長の測定を行うことが可能な半導体装置評価方法および半導体装置評価装置を実現できる。また、その評価を半導体装置の製造管理に応用することで、容易に製造条件の見直しが行える半導体装置製造管理方法をも実現できる。

【 0 0 2 6 】

図 1 は、被測定物たる絶縁ゲート型トランジスタ 1 の構造を示す断面図である。図 1 において、基板内にはウェル B が形成され、ウェル B 内にはソース領域 S およびドレイン領域 D が形成されている。そして、基板表面には、図示しないゲート絶縁膜を介してゲート G が形成されている。なお、ゲート G の直下にチャンネル層の形成される領域 CH が表示されている。

【 0 0 2 7 】

なお図 1 では、ゲート G およびゲート絶縁膜の膜厚はそれぞれ、 T_{poly} および T_{ox} として示されている。また、ソース領域 S の端部とドレイン領域 D の端部との間で形成されるチャンネル層の距離である実効チャンネル長 L_{eff} 、ゲート G の製造仕上がり寸法であるゲート仕上がり長 L_g 、ゲート G の設計寸法である設計ゲート長 L_d も、それぞれ示されている。

【 0 0 2 8 】

さらに図 1 では、ゲートー基板間の各部に生じる静電容量も示されており、ゲート G とゲート G が覆わない部分の基板との間の容量であるフリンジ容量 C_f 、ゲート G とゲート G が覆う部分のソース／ドレイン領域との間の容量であるゲートオーバーラップ容量 C_{GDO} 、ゲート G とチャンネル層との間の容量であるチャンネル容量 C_{GC} が、それぞれ示されている。

【 0 0 2 9 】

また、図 9 は、絶縁ゲート型トランジスタ 1 の構造を示す上面図である。図 9

においては、ゲートGのゲート幅がWとして、ゲートGそのものの長さがW_aとして示されている。

【0030】

さて、図2は、本実施の形態に係る半導体装置評価方法の流れを示すフローチャートである。

【0031】

まず、設計チャンネル長の異なる2つ以上の絶縁ゲート型トランジスタを用意する。なお、各トランジスタにおいては、フリンジ容量C_f、ゲートオーバーラップ容量CGDO、ゲート膜厚T_{poly}、ゲート絶縁膜厚T_{ox}、ゲート絶縁膜の誘電率ε_{ox}、ゲート幅Wの各パラメータは、いずれも同じ値をとるように設計されている。

【0032】

そして、用意したトランジスタそれぞれについて、ゲート容量C_{gi} (iはトランジスタに付与した番号を表す、以下同様)、実効チャンネル長L_{effi}およびフリンジ容量C_fを、電氣的測定および／または計算により求める(ステップS01)。ここで、ゲート容量C_gとはゲートと基板との間の容量のことを指し、図1を用いて説明すれば、各静電容量の並列接続したものに等価である。すなわち、

【0033】

【数1】

$$C_g = \{CGC + 2(CGDO + C_f)\} W$$

【0034】

の関係を有する。なお、係数の2はソース／ドレイン両側を考慮したものである。また、ここで用いるCGC、CGDOおよびC_fは、単位ゲート幅あたりの容量とする。

【0035】

ゲート容量C_gを求めるには、例えばLCRメータを用いればよい。具体的に

は、トランジスタ 1 が N チャンネル型である場合、そのゲート G を L C R メータの H i 側に接続し、ソース領域 S およびドレイン領域 D を共通に L C R メータの L o w 側に接続して計測を行えばよい。また、このときボディ電極となるウェル B には接地電位 G N D を与えておけばよい。

【 0 0 3 6 】

また、実効チャンネル長 L_{eff} を求めるには、公知の手法、例えば特願平 1 0 - 2 1 3 0 1 9 に記載の技術を用いればよい。

【 0 0 3 7 】

また、フリンジ容量 C_f を求めるには、例えばデバイスシミュレーションを行えばよい。また、次の数 2 より計算してもよい。

【 0 0 3 8 】

【数 2】

$$C_f = (2 \cdot \epsilon_{ox} / \pi) \cdot \ln (1 + T_{poly} / T_{ox})$$

【 0 0 3 9 】

この数 2 の出典は、Narain Arora 著 “MOSFET Models for VLSI Circuit Simulation Theory and Practice” p.112, Springer-Verlag Wien New York, 1993 である。

【 0 0 4 0 】

なお、フリンジ容量については、各トランジスタで共通であるので、ひとつのトランジスタで求めた値を他のトランジスタに適用してもよい。

【 0 0 4 1 】

次に、ゲート容量 C_g および実効チャンネル長 L_{eff} をグラフ上にプロットし、グラフ上で外挿することによりゲート容量－実効チャンネル長特性を求める。そして、外挿により得られるグラフ上でその傾き A と切片 B とを求める（ステップ S 0 2）。外挿例を図 3 に示す。なお、この外挿は、ゲート容量 C_g および実効チャンネル長 L_{eff} を一次関数で表す線形近似により行えばよい。

【 0 0 4 2 】

さて、切片 B について考えてみると、実効チャンネル長 L_{eff} の値が 0 になる

ということは、理論上は、図 1 においてゲート容量 C_g にチャネル容量 C_{GC} が含まれなくなることを意味すると考えられる。すなわち、切片 B の値は $2(C_{GDO} + C_f) \cdot W$ である。よって、

【0043】

【数3】

$$C_{GDO} = B / (2 \cdot W) - C_f$$

【0044】

が成り立つ。これにより、ゲートオーバーラップ容量 C_{GDO} が求められる（ステップ S03）。

【0045】

一方、傾き A は単位チャネル長あたりのゲート容量であるので、平行平板の静電容量を求める式を考慮すれば、

【0046】

【数4】

$$T_{oxeff} = W \cdot \epsilon_{ox} / A$$

【0047】

が成り立つ。これにより、実効ゲート絶縁膜厚 T_{oxeff} が求められる（ステップ S04）。

【0048】

さて、トランジスタの仕上がりゲート長 L_g は、ゲート容量 C_g からフリンジ容量 C_f を差し引いたものを、単位チャネル長あたりのゲート容量で割ることにより求められる。すなわち、

【0049】

【数5】

$$L_g = (C_{gi} - C_f) / A$$

【0050】

により、仕上がりゲート長 L_g が求められる（ステップ S 0 5）。

【 0 0 5 1 】

このように、外挿によりゲート容量－実効チャンネル長特性を求め、特性 A の傾きからゲート仕上がり長 L_g を求めれば、SEMを用いる従来の場合のように目視により測定を行うのではないので、容易にゲート仕上がり長 L_g を求めることができ、多数のポイントの測定を行う場合であっても、測定者は多大な時間と労苦とを強いられることはない。また、目視により測定を行うのではないので、測定者によって測定値が変動することを防止することができ、しかも、ゲートのパターンが半導体装置の表面に現れていなくともゲート仕上がり長を求めることができる。

【 0 0 5 2 】

また、上記のように特性の外挿を線形近似により行えば、特性の傾き A を容易に求めることができ、ゲート仕上がり長を素早く求められる。また、傾き A および切片 B を計算することで、ゲートオーバーラップ容量 C_{GDO} および実効ゲート絶縁膜厚 T_{oxeff} も容易に求めることができる。

【 0 0 5 3 】

なお、上記においては、実効チャンネル長 L_{eff} を用いてゲート仕上がり長 L_g の抽出を行ったが、実効チャンネル長 L_{eff} に代わって設計ゲート長 L_d を用いてゲート仕上がり長 L_g の抽出を行ってもよい。その場合のフローを示すのが、図 4 である。

【 0 0 5 4 】

まず、図 2 の場合と同様、設計ゲート長 L_{di} （ i はトランジスタに付与した番号）の異なる 2 つ以上の絶縁ゲート型トランジスタを用意し、ゲート容量 C_{gi} およびフリンジ容量 C_f を、電氣的測定および／または計算により求める（ステップ S 1 1）。

【 0 0 5 5 】

次に、ゲート容量 C_{gi} および設計ゲート長 L_{di} をグラフ上にプロットし、グラフ上で外挿することによりゲート容量－設計ゲート長特性を求める。そして、外挿により得られるグラフ上でその傾き A を求める（ステップ S 1 2）。外挿

例を図5に示す。なお、この外挿も、ゲート容量 C_{gi} および設計ゲート長 L_d を一次関数で表す線形近似により行えばよい。

【0056】

さて、この場合の傾き A は単位ゲート長あたりのゲート容量であるので、数4が同様に適用でき、これにより、実効ゲート絶縁膜厚 T_{oxeff} が求められる(ステップS13)。

【0057】

そして、トランジスタの仕上がりゲート長 L_g についても、数5がそのまま適用できるので容易に求められる(ステップS14)。

【0058】

さて、上記の半導体装置評価方法をコンピュータを用いて実現することができる。図6は、本実施の形態に係る半導体装置評価装置の構成を示す図である。この半導体装置評価装置は、ユーザーからの情報の入力を受けるキーボードやマウス等の入力部4と、ユーザーへの情報の出力を受けるディスプレイやプリンタ等の出力部5と、被測定物1の特性を測定するための測定装置2と、各部を制御する制御部3とを備えている。なお、制御部3は、ROM (Read Only Memory) およびRAM (Random Access Memory) 等が接続された一般的なCPU (Central Processing Unit) 内において所定のソフトウェアプログラムによって動作する機能部品である。

【0059】

またさらに、この半導体装置評価装置は、実効チャンネル長 L_{eff} を例えば特願平10-213019に記載の技術を用いて計算する L_{eff} 抽出部11、フリンジ容量 C_f を例えば数2を用いて計算する C_f 計算/抽出部10、ゲート容量 C_g -実効チャンネル長 L_{eff} 特性をグラフにプロットして外挿を行い、傾き A および切片 B を自動的に計算する C_g - L_{eff} 特性の傾き A 、切片 B 計算部9、ゲートオーバーラップ容量 $CGDO$ を計算する $CGDO$ 抽出部8、実効ゲート絶縁膜厚 T_{oxeff} を計算する T_{oxeff} 抽出部7、そしてゲート仕上がり長 L_g を計算する L_g 抽出部6をも備えている。

【0060】

L e f f 抽出部 1 1、C f 計算／抽出部 1 0、C g - L e f f 特性の傾き A、切片 B 計算部 9、C G D O 抽出部 8、T o x e f f 抽出部 7、および L g 抽出部 6 はいずれも、上記制御部 3 と同様の機能部品としてもよいし、あるいは、計算能力に優れた D S P (Digital Signal Processor) であってもよい。

【 0 0 6 1 】

図 2 に示した各ステップが、この半導体装置評価装置においてどのように行われるのか、以下に説明する。

【 0 0 6 2 】

まず、ステップ S 0 1 が行われるために、測定装置 2 から、ゲート容量 C g i の測定結果が入力され、入力部 4 を介してユーザーから実効チャネル長 L e f f i およびフリンジ容量 C f の算出に必要な情報（ゲート膜厚 T p o l y、ゲート絶縁膜厚 T o x、ゲート絶縁膜の誘電率 ϵ o x、ゲート幅 W など）が入力される。入力された各情報は、制御部 3 によって適宜、必要とされる部分に送られる。例えば C f 計算／抽出部 1 0 には、ゲート膜厚 T p o l y、ゲート絶縁膜厚 T o x、ゲート絶縁膜の誘電率 ϵ o x の各情報が入力され、数 2 の計算が C f 計算／抽出部 1 0 において行われる。

【 0 0 6 3 】

次に、ステップ S 0 2 が行われるために、ゲート容量 C g i および実効チャネル長 L e f f i の情報が制御部 3 により、C g - L e f f 特性の傾き A、切片 B 計算部 9 に送られる。そして、ゲート容量－実効チャネル長特性がグラフのプロットおよび外挿により求められ、傾き A および切片 B が計算される。

【 0 0 6 4 】

そして、ステップ S 0 3 ～ S 0 5 が行われるために、C G D O 抽出部 8、T o x e f f 抽出部 7、および L g 抽出部 6 のそれぞれに、傾き A や切片 B などの各パラメータが入力される。そして、各部はパラメータを計算し、制御部 3 に値を返して、制御部 3 はその値を出力部 5 に出力する。

【 0 0 6 5 】

なお、図 4 の各ステップも、図 6 と同様の半導体装置評価装置で実現される。その場合は、図 6 中の L e f f 抽出部 1 1 および C G D O 抽出部 8 が省略され

、入力部 4 からは設計ゲート長 L_d が入力される。そして、 $C_g - L_{eff}$ 特性の傾き A，切片 B 計算部 9 の代わりに、ゲート容量－設計ゲート長特性の傾き A を算出する計算部（図示は省略）を設ければよい。

【 0 0 6 6 】

なお、上記の半導体装置評価方法をコンピュータを用いて実現する際に作成されるプログラムは、単独で、若しくは予めコンピュータに備えられたプログラムと相俟って実行されるが、コンピュータ読み取り可能な記録媒体に記録させることができる。

【 0 0 6 7 】

なお、図 7 に、本実施の形態に係る半導体装置評価方法を用いて抽出したゲート仕上がり長と、従来の SEM で測定したゲート仕上がり長との比較結果の一例を示す。図 7 においては、横軸に測定サンプル番号を、縦軸にゲート仕上がり長 L_g をそれぞれとり、グラフ DT 1 は SEM の測定結果を、グラフ DT 2 は本実施の形態の算出結果を、それぞれ示している。

【 0 0 6 8 】

図 7 から分かるように、本実施の形態の算出結果は SEM の測定結果に極めて近いと判断できる。よって、従来は一つ一つのサンプルの目視を行うことにより測定値の精度を得ていたが、本実施の形態では電氣的測定や計算を行うのみで素早く、従来と同等の精度を得ることができる。

【 0 0 6 9 】

さて、本実施の形態に係る半導体装置評価方法を、半導体装置の製造管理に応用することで、容易に製造条件のチェックおよび見直しが行える半導体装置製造管理方法をも実現できる。

【 0 0 7 0 】

図 8 に、上記の半導体装置評価方法を製造管理に応用した半導体装置製造管理方法のフローチャートを示す。この半導体装置製造管理方法によれば、半導体製品の製造（ステップ S 1 0 1）の後、インラインで実効ゲート絶縁膜厚 $T_{ox_{eff}}$ やゲート仕上がり長 L_g 等の測定が行われる（ステップ S 1 0 2）。このステップ S 1 0 2 において、上記の半導体装置評価方法が採用される。

【 0 0 7 1 】

そして、測定された各パラメータはデータベース化され（ステップ S 1 0 3）、また、製品としての規格に合致しているかどうか判断される（ステップ S 1 0 4）。規格に合致しておれば、ステップ S 1 0 1 での半導体製品製造工程において問題がなかったと考えられるが、規格に合致しなかった場合、ステップ S 1 0 1 における製造条件のチェックおよび見直しが必要となる。

【 0 0 7 2 】

上記の半導体装置評価方法をステップ S 1 0 2 で採用することにより、精度を落とさずに各パラメータの測定に要する時間の削減を図ることができ、容易に製造条件のチェックおよび見直しが行えるようになる。

【 0 0 7 3 】

なお、本実施の形態に係る半導体装置評価方法を、半導体装置製造方法に適用できることは言うまでもない。半導体装置製造方法とする場合は、上記図 8 のステップ S 1 0 1, S 1 0 2, S 1 0 4 を備えておればよく、ステップ S 1 0 4 において規格に合致しなかったものを不良品として排除すればよい。この場合、不良品検査が容易に行える。

【 0 0 7 4 】

< 実施の形態 2 >

本実施の形態は、ゲート長（線幅 L_g ）の異なる複数の絶縁ゲート型トランジスタを、ゲートを抵抗として用いる複数の抵抗素子として捉え、その一部について線幅 L_g 、ゲート抵抗 R_g および実効チャネル長 L_{eff} を測定し、線幅－実効チャネル長特性を得る。そして、これを用いて、複数の抵抗素子の全てについて、線幅 L_g と抵抗 R_g との間の特性を求める半導体装置評価方法である。これにより、複数の抵抗素子の全てについて、正常に製造されたかどうかの検査を、容易に行うことができる半導体装置評価方法および半導体装置評価装置を実現できる。また、その評価を半導体装置の製造管理に応用することで、容易に製造条件の見直しが行える半導体装置製造管理方法をも実現できる。

【 0 0 7 5 】

本実施の形態においても、被測定物として絶縁ゲート型トランジスタ 1 が採用

される。例えば近年の絶縁ゲート型トランジスタの構造においては、抵抗低減のために、ソース領域S、ドレイン領域DおよびゲートGに、シリサイド層が形成されるのが一般的である。ところが、ゲート長の微細化に伴って、シリサイド層の形成は困難となることが多い。ゲート長が短くなり過ぎるとシリサイド層が正常に形成されず、シリサイド層に断線が生じやすいからである。

【 0 0 7 6 】

本実施の形態においては、ゲートの抵抗値 R_g と線幅 L_g との間の特性を求めるので、例えば、線幅 L_g がどの程度細くなるまでシリサイド層が正常に形成されるか、などの判断を行うことができる。

【 0 0 7 7 】

さて、図10は、本実施の形態に係る半導体装置評価方法の流れを示すフローチャートである。

【 0 0 7 8 】

まず、線幅 L_g の異なる複数の抵抗素子（すなわち、ゲート長 L_g の異なる複数の絶縁ゲート型トランジスタのゲートを抵抗として用いた素子）の一部の組について線幅 L_g を測定する。この線幅 L_g の測定は例えば、従来と同様、SEMを用いて行えばよい（ステップS31）。なお、各トランジスタにおいては、フリンジ容量 C_f 、ゲートオーバーラップ容量 C_{GDO} 、ゲート膜厚 T_{poly} 、ゲート絶縁膜厚 T_{ox} 、ゲート絶縁膜の誘電率 ϵ_{ox} 、ゲート幅 W の各パラメータは、いずれも同じ値をとるように設計されている。

【 0 0 7 9 】

SEMを用いる場合、上述した課題が存在するが、ここでは、複数の抵抗素子の全てについて線幅 L_g をSEMで測定するのではなく、複数のうち一部（ただし複数）についてその測定を行うだけであるので、上記（1）に記した課題については解決できる。

【 0 0 8 0 】

そして、用意した複数のトランジスタ全てについて、抵抗 R_g および実効チャネル長 L_{eff} を、電氣的測定および／または計算により求める（ステップS32）。ここで、抵抗 R_g とは、図9におけるゲートGの、ゲート幅方向の抵抗を

指し、細線たるゲートGの両端部に端子X、Yを設けて測定できる。

【0081】

実効チャネル長 L_{eff} については実施の形態1の場合と同様であり、例えば特願平10-213019に記載の技術を用いて求めればよい。

【0082】

次に、ステップS31でSEM測定した一部の抵抗素子の線幅 L_g と実効チャネル長 L_{eff} とをグラフ上にプロットし、グラフ上で外挿することにより線幅－実効チャネル長特性を求め、例えば多項式で表す（ステップS33）。外挿例を図11に示す。なお、図11の場合、外挿の結果得られた多項式は、

【0083】

【数6】

$$L_g = -2.78 L_{eff}^2 + 1.91 L_{eff} - 0.014$$

【0084】

となった。

【0085】

そして、外挿により得られたグラフ上の各点で、複数の抵抗素子それぞれの抵抗 R_g および実効チャネル長 L_{eff} の関係（ R_g － L_{eff} 特性）を参照し、複数の抵抗素子の全てについて、線幅 L_g と抵抗 R_g との間の特性（ R_g － L_g 特性）を求める（ステップS34）。

【0086】

このように、複数の抵抗素子の一部から得られた線幅－実効チャネル長特性を用いて、複数の抵抗素子の全てについて線幅 L_g と抵抗 R_g との間の特性を求めれば、複数の抵抗素子の全てについて、正常に製造されたかどうかの検査を、容易に行うことができる。

【0087】

なお、上記においては、SEM測定した線幅 L_g を用いて線幅 L_g －抵抗 R_g 特性を求めたが、線幅 L_g については、実施の形態1で得られたゲート仕上がり長を用いてもよい。その場合のフローを示すのが、図12である。

【 0 0 8 8 】

まず、実施の形態 1 の場合（図 2 または図 4 いずれも可）と同様にして、ゲート仕上がり長 L_g を求める（ステップ S 4 1）。

【 0 0 8 9 】

次に、複数の抵抗素子の全てについて抵抗 R_g を測定する（ステップ S 4 2）。

【 0 0 9 0 】

そして、得られた抵抗 R_g とゲート仕上がり長 L_g とをグラフ上にプロットして、両者の間の特性を求める（ステップ S 4 3）。

【 0 0 9 1 】

この場合も、複数の絶縁ゲート型トランジスタについて、正常に製造されたかどうかの検査を、容易に行うことができる。

【 0 0 9 2 】

さて、上記の半導体装置評価方法をコンピュータを用いて実現することができる。図 1 3 は、図 1 0 に示した半導体装置評価方法を実現する半導体装置評価装置の構成を示す図である。この半導体装置評価装置は、ユーザーからの情報の入力を受け持つ、キーボードやマウス等の入力部 4 と、ユーザーへの情報の出力を受け持つ、ディスプレイやプリンタ等の出力部 5 と、被測定物 1 の特性を測定するための測定装置 2 と、各部を制御する制御部 3 とを備えている。なお、制御部 3 は、ROM および RAM 等が接続された一般的な CPU 内において所定のソフトウェアプログラムによって動作する機能部品である。

【 0 0 9 3 】

またさらに、この半導体装置評価装置は、実効チャンネル長 L_{eff} を例えば特願平 1 0 - 2 1 3 0 1 9 に記載の技術を用いて計算する L_{eff} 抽出部 1 1、例えば測定装置 2 からの電流－電圧（ $I-V$ ）データから抵抗 R_g を測定する R_g 測定部 1 2、抵抗－実効チャンネル長特性を求める R_g-L_{eff} 特性抽出部 1 4、線幅－実効チャンネル長特性を求める L_g-L_{eff} 特性抽出部 1 5、および、抵抗－実効チャンネル長特性と線幅－実効チャンネル長特性とから抵抗－ゲート仕上がり長特性を求める R_g-L_g 特性抽出部 1 3 をも備えている。

【 0 0 9 4 】

L e f f 抽出部 1 1、R g 測定部 1 2、R g - L g 特性抽出部 1 3、R g - L e f f 特性抽出部 1 4、および L g - L e f f 特性抽出部 1 5 はいずれも、上記制御部 3 と同様の機能部品としてもよいし、あるいは、計算能力に優れた D S P であってもよい。

【 0 0 9 5 】

また、図 1 4 は、図 1 2 に示した半導体装置評価方法を実現する半導体装置評価装置の構成を示す図である。この半導体装置評価装置は、図 1 3 の半導体装置評価装置の一部の構成要素を有しており、測定装置 2、制御部 3、入力部 4、出力部 5、R g 測定部 1 2 および R g - L g 特性抽出部 1 3 を備える。各部の機能は先述の通りである。上記に加えて、この半導体装置評価装置はさらに、図 6 に示された L g 抽出部 6 をも備えている。

【 0 0 9 6 】

図 1 0 に示した各ステップが、図 1 3 の半導体装置評価装置においてどのように行われるのか、以下に説明する。

【 0 0 9 7 】

まず、ステップ S 3 1 が行われた場合、入力部 4 から被測定物 1 の一部の組の抵抗（ゲート）の線幅 L g の S E M データが入力される。

【 0 0 9 8 】

次に、ステップ S 3 2 が行われるために、例えば、複数の抵抗素子全てについて測定装置 2 により I - V データが測定され、R g 測定部 1 2 において抵抗 R g が測定される。また、I - V データより L e f f 抽出部において実効チャネル長 L e f f も算出される。このとき、R g - L e f f 特性抽出部 1 4 において、抵抗 - 実効チャネル長特性も作成される。

【 0 0 9 9 】

次に、ステップ S 3 3 が行われるために、上記の一部の組の抵抗の線幅 L g のデータと、対応する実効チャネル長 L e f f のデータとが、L g - L e f f 特性抽出部 1 5 に入力され、L g - L e f f 特性抽出部 1 5 において、線幅 - 実効チャネル長特性がグラフのプロットおよび外挿により求められる。

【0100】

そして、ステップS34が行われるために、抵抗-実効チャネル長特性および線幅-実効チャネル長特性が R_g-L_g 特性抽出部13に入力され、抵抗-ゲート仕上がり長特性が求められる。そして、 R_g-L_g 特性抽出部13は抵抗-ゲート仕上がり長特性を出力部5に出力する。

【0101】

なお、図12の各ステップは、図14の半導体装置評価装置で以下のように実現される。

【0102】

まず、 L_g 抽出部6によりステップS41が行われる。

【0103】

次に、ステップS42が行われるために、例えば、複数の抵抗素子全てについて測定装置2によりI-Vデータが測定され、 R_g 測定部12において抵抗 R_g が測定される。

【0104】

そして、ステップS43が行われるために、抵抗 R_g とゲート仕上がり長 L_g のデータから抵抗-ゲート仕上がり長特性が、 R_g-L_g 特性抽出部13において求められる。そして、 R_g-L_g 特性抽出部13は抵抗-ゲート仕上がり長特性を出力部5に出力する。

【0105】

なお、上記の半導体装置評価方法をコンピュータを用いて実現する際に作成されるプログラムは、単独で、若しくは予めコンピュータに備えられたプログラムと相俟って実行されるが、コンピュータ読み取り可能な記録媒体に記録させることができる。

【0106】

なお、図15に、本実施の形態に係る半導体装置評価方法を用いて得られた抵抗-ゲート仕上がり長特性のデータの一例を示す。図15においては、横軸にゲート仕上がり長 L_g を、縦軸に抵抗 R_g のシート抵抗をそれぞれとっている。

【0107】

図 1 5 から分かるように、ゲート仕上がり長 L_g が $0.10\ \mu\text{m}$ 以上の場合は、各サンプルの抵抗 R_g のデータは比較的まとまりがよいが、 $0.10\ \mu\text{m}$ 以下のところでは各サンプルの抵抗 R_g のデータが、サンプルごとにまちまちとなっている。これは、上述したように、ゲート長が短くなると、ゲートに形成されたシリサイド層が正常に形成されずに、サンプルごとに抵抗の値がばらついてしまったためと考えられる。

【 0 1 0 8 】

このように、本実施の形態によれば、抵抗 R_g とゲート仕上がり長 L_g との間の特性が求められるので、ゲート仕上がり長がどの程度短くなれば、ゲートの抵抗にばらつきが生じるのか評価することができる。

【 0 1 0 9 】

なお、図 1 5 において、 $0.10\ \mu\text{m}$ 以上の各データ点の塊が一次関数的に延びているのは、ゲート仕上がり長が短くなるにつれて、シリサイド層が丸みを帯びて設計値よりは拡大して形成されるため、短くなるほどその抵抗値が下がることが理由である、と考えられる。

【 0 1 1 0 】

さて、本実施の形態に係る半導体装置評価方法も、図 8 に示した半導体装置製造管理方法に応用できる。その場合は、ステップ S 1 0 2 において、 T_{oxeff} 、 L_g のインライン測定に代わって、「抵抗－ゲート仕上がり長特性の検証」を行うようにすればよい。

【 0 1 1 1 】

こうすることで、容易に製造条件のチェックおよび見直しが行える半導体装置製造管理方法が実現できる。

【 0 1 1 2 】

また、同様にして本実施の形態に係る半導体装置評価方法を適用した半導体装置製造方法も得られ、これにより不良品検査が容易に行える半導体装置製造方法が実現できる。

【 0 1 1 3 】

【発明の効果】

請求項 1 に記載の発明によれば、外挿によりゲート容量－実効チャネル長特性を求め、特性の傾きからゲート仕上がり長を求める。よって、SEMを用いる従来の場合のように目視により測定を行うのではないので、容易にゲート仕上がり長を求めることができ、多数のポイントの測定を行う場合であっても、測定者は多大な時間と労苦とを強いられることはない。また、目視により測定を行うのではないので、測定者によって測定値が変動することを防止することができ、しかも、ゲートのパターンが半導体装置の表面に現れていなくともゲート仕上がり長を求めることができる。

【 0 1 1 4 】

請求項 2 に記載の発明によれば、実効チャネル長 L_{eff} の代わりに設計ゲート長 L_d を用いてゲート仕上がり長 L_g を求める。この場合も請求項 1 に係る発明と同様の効果がある。

【 0 1 1 5 】

請求項 3 に記載の発明によれば、特性の外挿を線形近似により行う。よって、特性の傾き A を容易に求めることができ、ゲート仕上がり長を素早く求められる。

【 0 1 1 6 】

請求項 4 に記載の発明によれば、ゲートオーバーラップ容量 C_{GDO} も容易に求めることができる。

【 0 1 1 7 】

請求項 5 に記載の発明によれば、実効ゲート絶縁膜厚 T_{oxeff} も容易に求めることができる。

【 0 1 1 8 】

請求項 6 に記載の発明によれば、請求項 1 ないし請求項 5 のいずれかに記載の半導体装置評価方法をコンピュータに実行させることができる。

【 0 1 1 9 】

請求項 7 に記載の発明によれば、請求項 1 に係る半導体装置評価方法を実現する評価装置が得られる。

【 0 1 2 0 】

請求項 8 に記載の発明によれば、請求項 2 に係る半導体装置評価方法を実現する評価装置が得られる。

【 0 1 2 1 】

請求項 9 に記載の発明によれば、請求項 3 に係る半導体装置評価方法を実現する評価装置が得られる。

【 0 1 2 2 】

請求項 1 0 に記載の発明によれば、請求項 4 に係る半導体装置評価方法を実現する評価装置が得られる。

【 0 1 2 3 】

請求項 1 1 に記載の発明によれば、請求項 5 に係る半導体装置評価方法を実現する評価装置が得られる。

【 0 1 2 4 】

請求項 1 2 に記載の発明によれば、複数の抵抗素子の一部から得られた線幅－実効チャネル長特性を用いて、複数の抵抗素子の全てについて線幅 L_g と前記抵抗 R_g との間の特性を求める。よって、複数の抵抗素子の全てについて、正常に製造されたかどうかの検査を、容易に行うことができる。

【 0 1 2 5 】

請求項 1 3 に記載の発明によれば、請求項 1 または請求項 2 に記載の半導体装置評価方法で得られたゲート仕上がり長 L_g を利用して、ゲート仕上がり長 L_g と抵抗 R_g との間の特性を求める。よって、複数の絶縁ゲート型トランジスタについて、正常に製造されたかどうかの検査を、容易に行うことができる。

【 0 1 2 6 】

請求項 1 4 に記載の発明によれば、請求項 1 2 または請求項 1 3 に記載の半導体装置評価方法をコンピュータに実行させることができる。

【 0 1 2 7 】

請求項 1 5 に記載の発明によれば、請求項 1 2 に係る半導体装置評価方法を実現する評価装置が得られる。

【 0 1 2 8 】

請求項 1 6 に記載の発明によれば、請求項 1 3 に係る半導体装置評価方法を実

現する評価装置が得られる。

【0 1 2 9】

請求項 1 7 に記載の発明によれば、判定ステップでの判定結果を半導体装置の製造条件の見直しに利用する。よって、容易に製造条件のチェックおよび見直しが行える。

【0 1 3 0】

請求項 1 8 に記載の発明によれば、不良品検査が容易に行える。

【図面の簡単な説明】

【図 1】 被測定物たる絶縁ゲート型トランジスタの構造を示す断面図である。

【図 2】 実施の形態 1 に係る半導体装置評価方法を示すフローチャートである。

【図 3】 ゲート容量－実効チャネル長特性を示す図である。

【図 4】 実施の形態 1 に係る半導体装置評価方法の変形例を示すフローチャートである。

【図 5】 ゲート容量－実効チャネル長特性を示す図である。

【図 6】 実施の形態 1 に係る半導体装置評価装置を示す図である。

【図 7】 S E M による測定結果と実施の形態 1 に係る半導体装置評価方法により得られた算出結果とを示す図である。

【図 8】 実施の形態 1 に係る半導体装置評価方法を応用した半導体装置製造管理方法を示すフローチャートである。

【図 9】 被測定物たる絶縁ゲート型トランジスタの構造を示す上面図である。

【図 1 0】 実施の形態 2 に係る半導体装置評価方法を示すフローチャートである。

【図 1 1】 線幅－実効チャネル長特性を示す図である。

【図 1 2】 実施の形態 2 に係る半導体装置評価方法の変形例を示すフローチャートである。

【図 1 3】 実施の形態 2 に係る半導体装置評価装置を示す図である。

【図 1 4】 実施の形態 2 に係る半導体装置評価装置を示す図である。

【図 1 5】 実施の形態 2 に係る半導体装置評価方法により得られたゲート仕上がり長 L_g と抵抗 R_g との間の特性を示す図である。

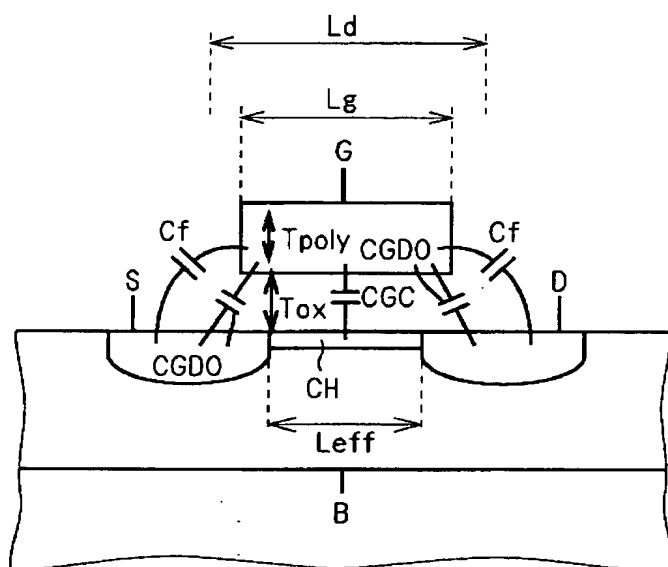
【符号の説明】

1 被測定物、2 測定装置、3 制御部、4 入力部、5 出力部、6 L_g 抽出部、7 T_{oxeff} 抽出部、8 $CGDO$ 抽出部、9 C_g-L_{eff} 特性の傾き A、切片 B 計算部、10 C_f 計算／抽出部、11 L_{eff} 抽出部、12 R_g 測定部、13 R_g-L_g 特性抽出部、14 R_g-L_{eff} 特性抽出部、15 L_g-L_{eff} 特性抽出部、 C_f フリンジ容量、 $CGDO$ ゲートオーバーラップ容量、 L_{eff} 実効ゲート長、 L_d 設計ゲート長、 L_g ゲート仕上がり長、 T_{oxeff} 実効ゲート絶縁膜厚、 W ゲート幅。

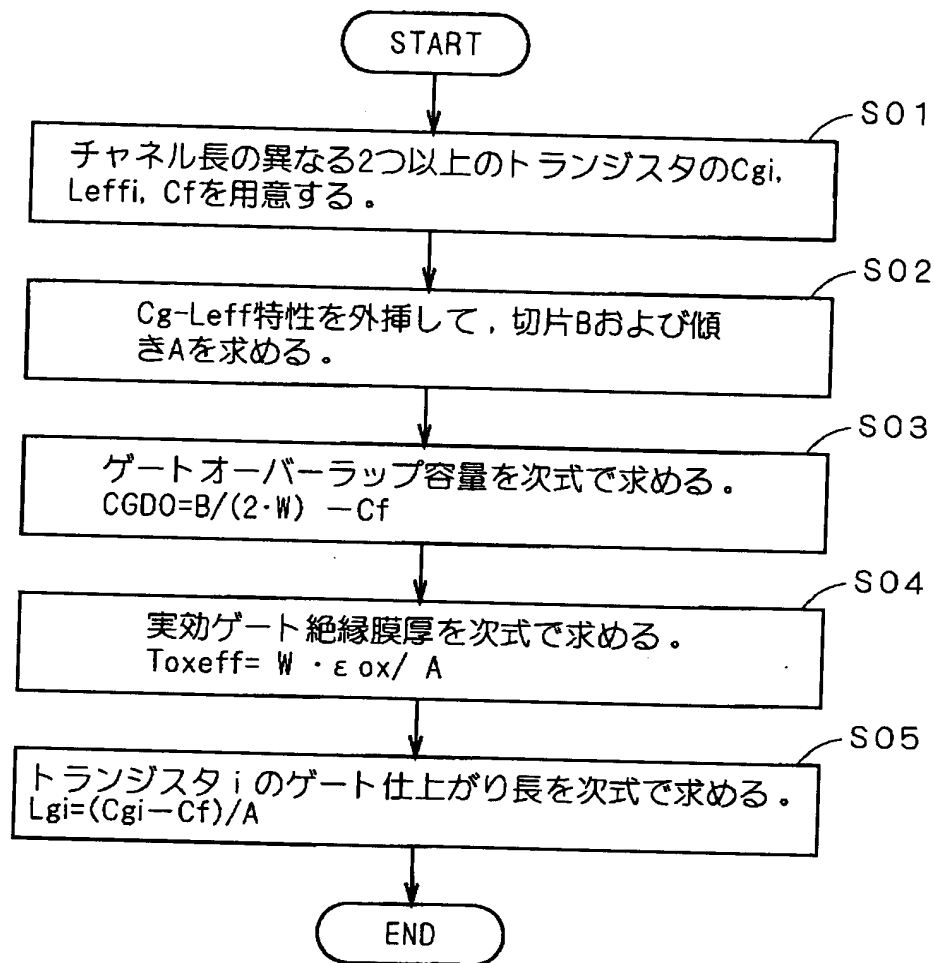
【書類名】 図面

【図 1】

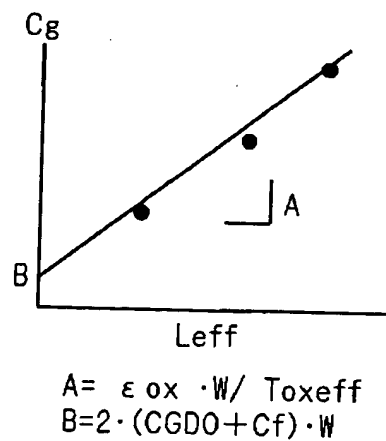
1



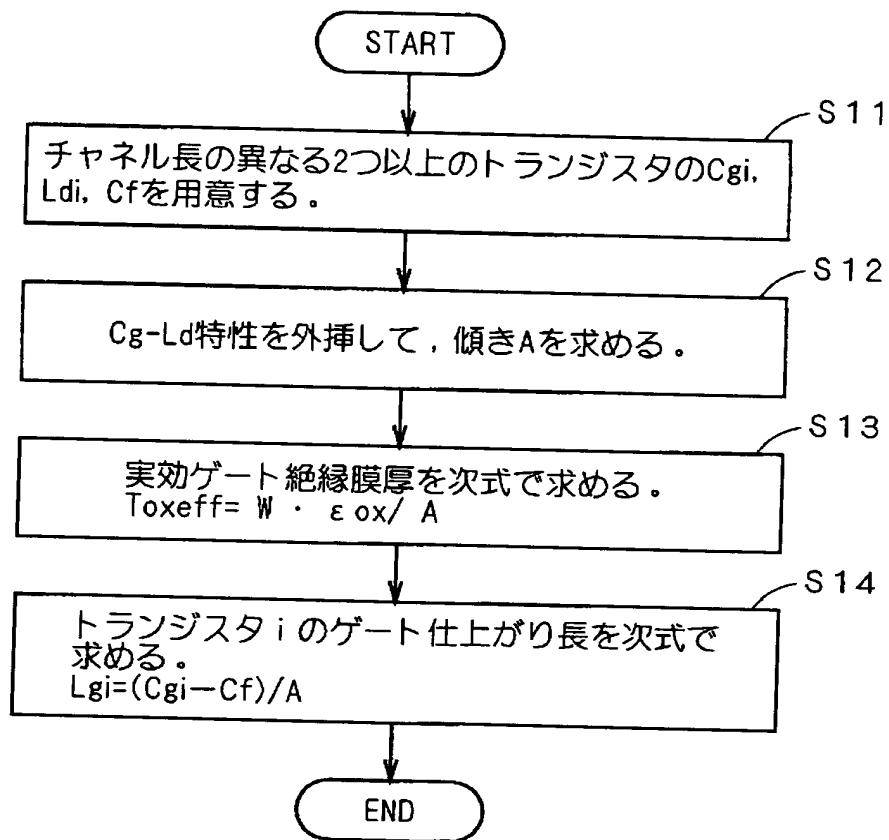
【図2】



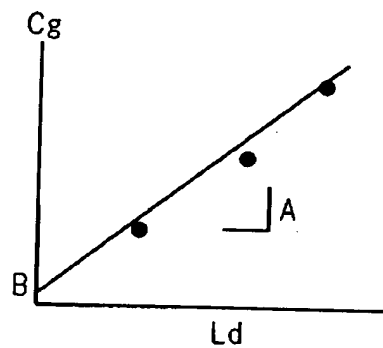
【図3】



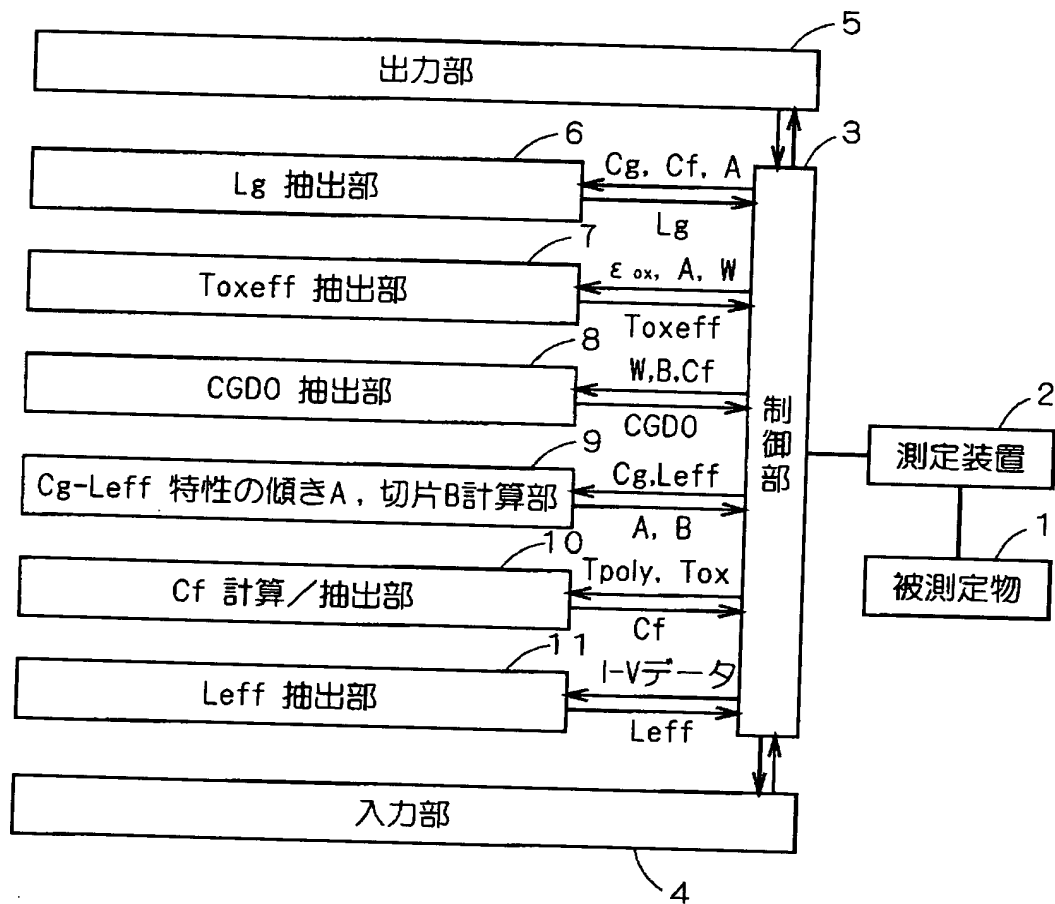
【図4】



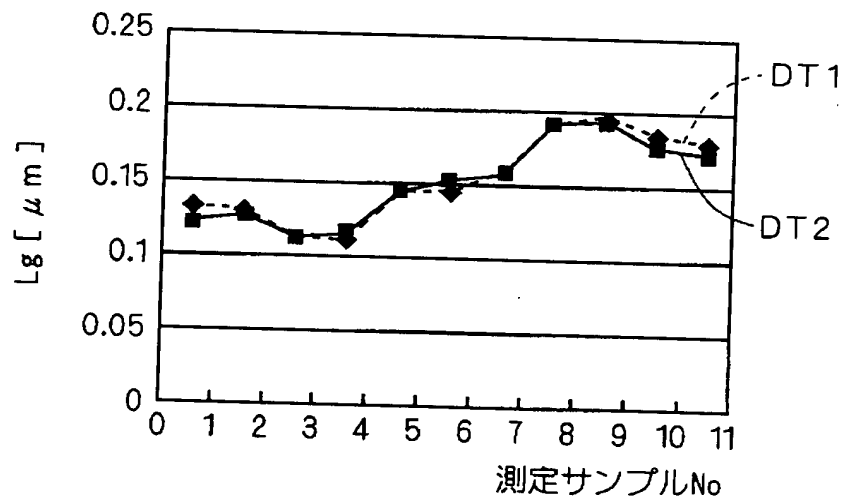
【図5】



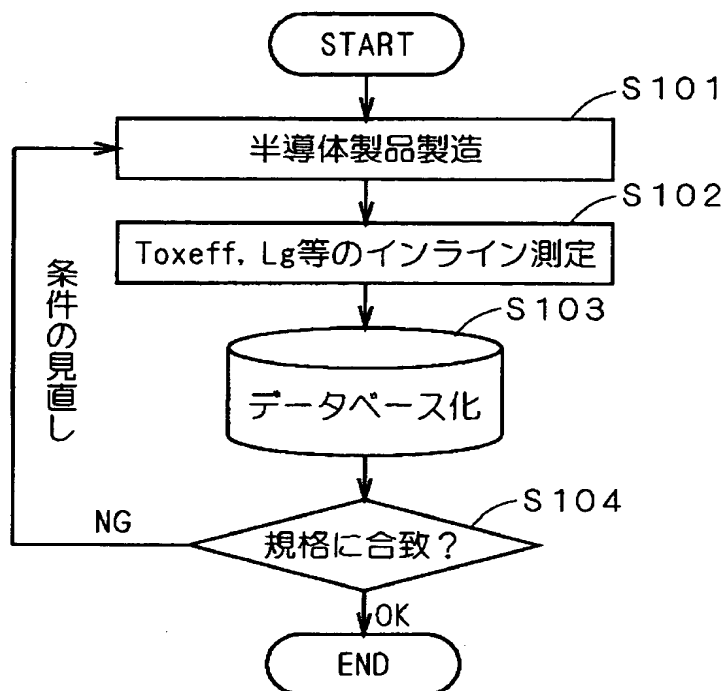
【図 6】



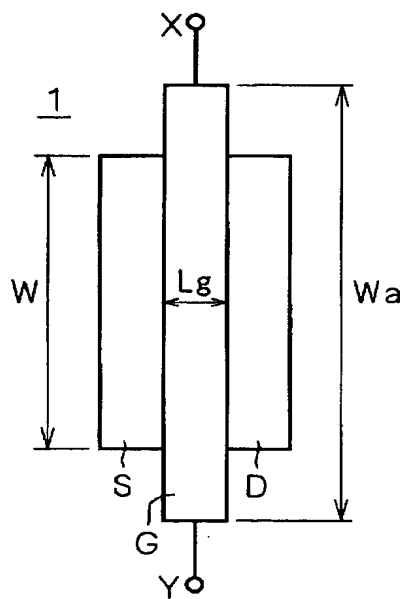
【図 7】



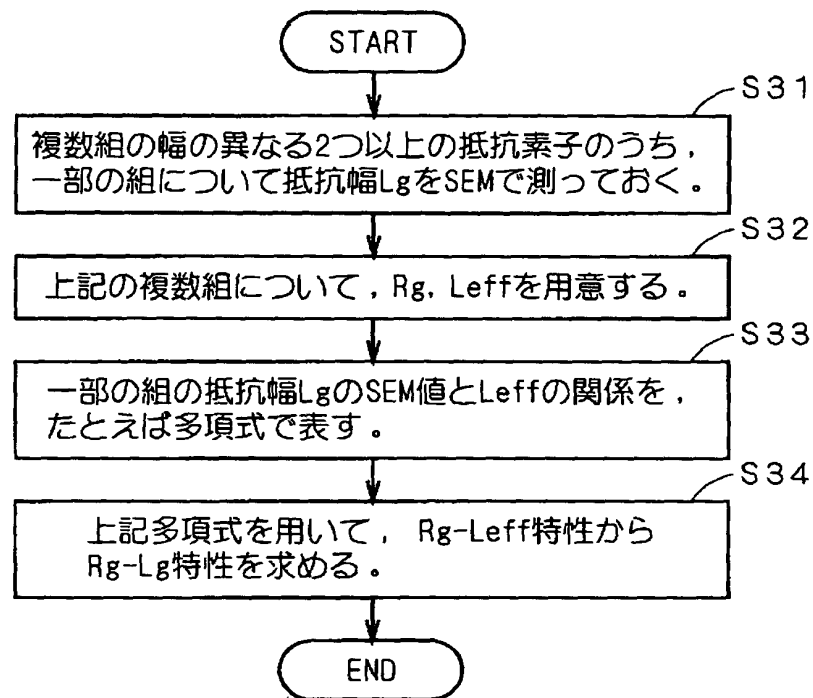
【図 8】



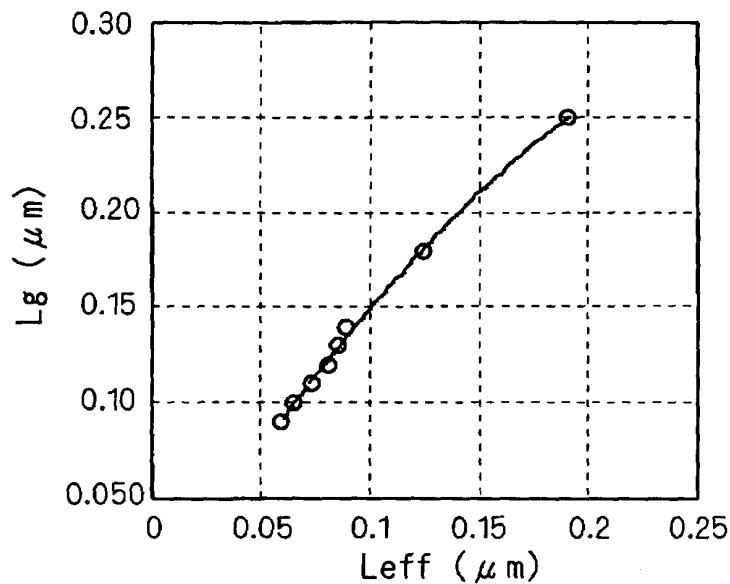
【図 9】



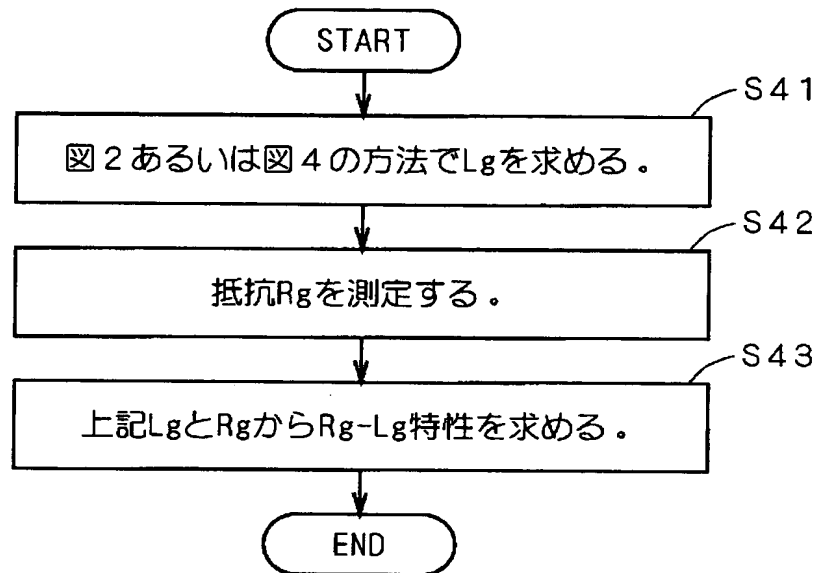
【図 1 0】



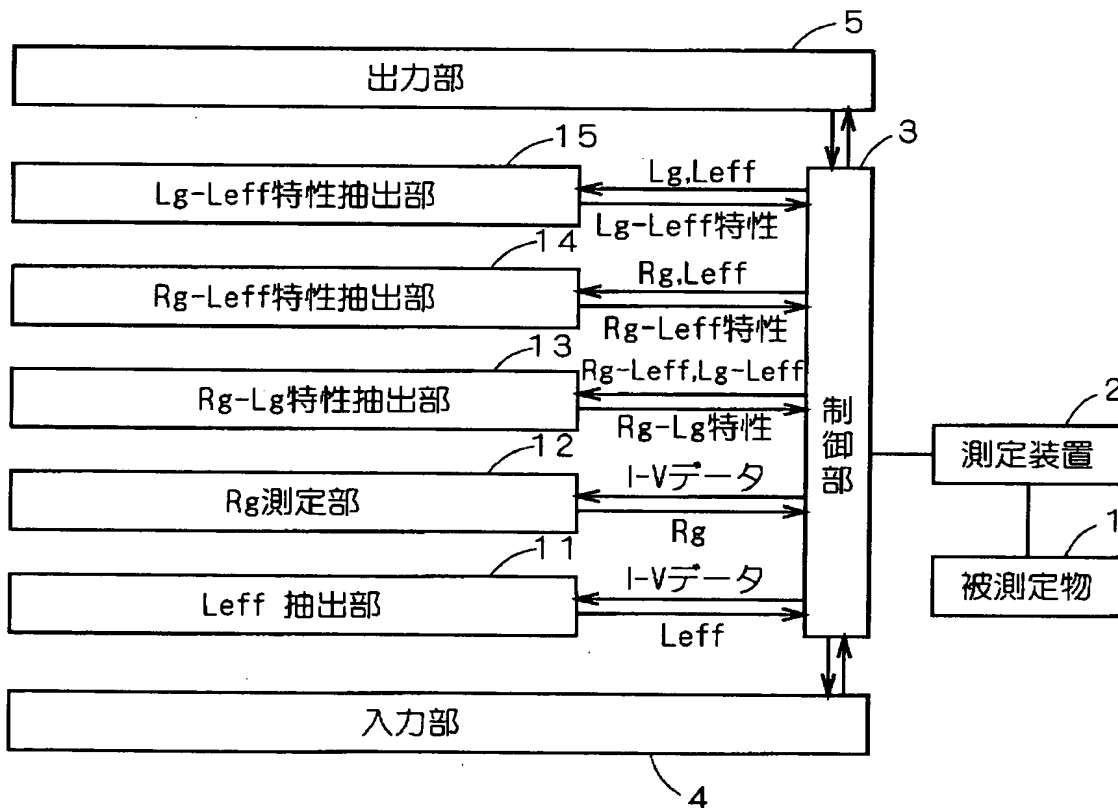
【図 1 1】



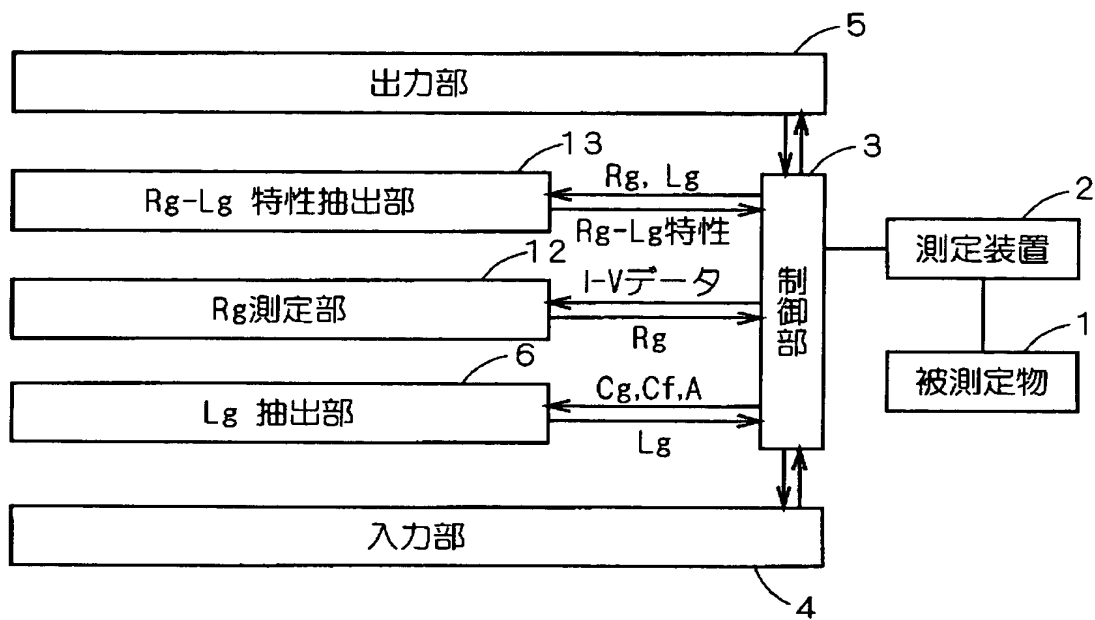
【図 1 2】



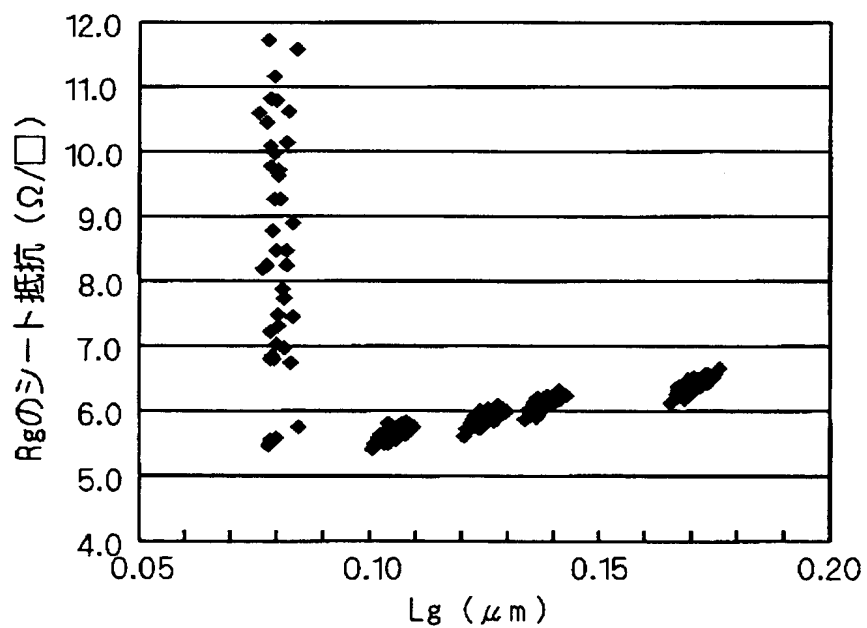
【図 1 3】



【図 1 4】



【図 1 5】



【書類名】 要約書

【要約】

【課題】 多数のポイントの測定を行う場合であっても多大な時間と労苦とを要せず、かつ、測定者による測定値の変動が防止でき、かつ、ゲートパターンが半導体装置の表面に現れていない場合でもゲート仕上がり長の測定を行うことが可能な半導体装置評価方法および半導体装置評価装置を提供する。また、その評価を半導体装置の製造管理に応用した半導体装置製造管理方法をも提供する。

【解決手段】 チャネル長の異なる複数の絶縁ゲート型トランジスタの、実効チャネル長 L_{eff} 、ゲート容量 C_g 、フリンジ容量 C_f を、電氣的測定および／または計算により求める。そして、ゲート容量 C_g および実効チャネル長 L_{eff} をグラフ上で外挿することによりゲート容量－実効チャネル長特性を求め、特性の傾き A を計算し、複数の絶縁ゲート型トランジスタそれぞれのゲート仕上がり長 L_g を $L_g = (C_g - C_f) / A$ として求める。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社